



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10093083 A**(43) Date of publication of application: **10.04.98**

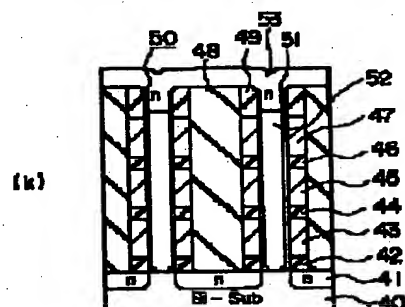
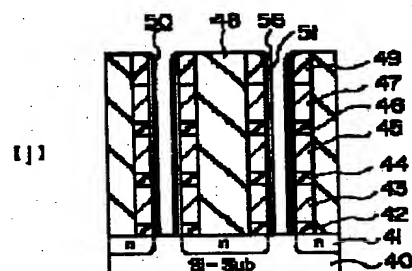
(51) Int. Cl. **H01L 29/78**  
**H01L 27/115**  
**H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**

(21) Application number: **08246712**(22) Date of filing: **18.09.96**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **HEMINKU GERUTOYAN**  
**SHIRATA RICHIRO****(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a method for easily manufacturing an element structure which has a plurality of vertical MOS transistors, arranged in a vertical direction to a substrate surface and connected in series.

**SOLUTION:** A silicon oxide film 42, a polysilicon film, 43, a silicon oxide film 44, a polysilicon film 45, a silicon oxide film 46 and a polysilicon film 47 are formed sequentially on a substrate 40 having an n type source/drain diffusion layer 41 formed therein. The laminated films 43 to 47 are then subjected to an island-shape patterning process. The film laminates 43 to 47 are next formed therein with an opening 50. Next, a gate insulating film 51 is formed on a side wall of the opening 50, and then the opening 50 is buried with a polysilicon film 52. An n-type source/drain diffusion layer 53 is formed above the polysilicon film 52.

COPYRIGHT: (C)1998,JPO



[0015]

First, a silicon oxide film 11, a polysilicon film 12 which becomes a gate electrode, and a silicon oxide film 13 are formed sequentially on a silicon substrate 10. The silicon oxide films 11, 13 are, for example, an  $\text{SiO}_2$  film. Then, a photoresist pattern 14 having a pattern defining a gate region and a silicon column region of a transistor is formed on the silicon oxide film 13 (Fig. 1 (a)).

[0016]

Next, anisotropic etching is performed on the laminated films 13 to 11 in this order using the photoresist pattern 14 as a mask, and the pattern of the photoresist pattern 14 is transferred to the laminated films 13 to 11. Then, an n type diffusion layer 15 is formed on a surface of the silicon substrate 10 under the laminated films 13 to 11 (Fig. 1 (b)). Next, a silicon nitride film 16 whose upper surface is higher than the silicon oxide film 13, and which covers the laminated films 11 to 13 and serves as an element-isolation film is formed on the entire surface. The silicon nitride film 16 is, for example, an  $\text{Si}_3\text{N}_4$  film.

[0017]

Next, the height of the surface of the silicon nitride film 16 is reduced until the height of the surface of the silicon nitride film 16 becomes the same as the height of the surface of the silicon oxide film 13 so that the surface becomes flat using grinding such as CMP or etch back (Fig. 1 (d)).

[0018]

Next, a photoresist pattern 17 is formed on the silicon nitride film 16 and the silicon oxide film 16 such that a central rectangular portion of the laminated films 11 to 13 are exposed (Fig. 2 (e)). This photoresist pattern 17 defines the silicon column region (active region).

[0019]

Next, etching is performed on the laminated films 11 to 13 until the surface of the substrate is exposed using the photoresist pattern 17 as a mask (Fig. 2 (f)). As a result, an opening portion 18 having a rectangular shape or a cubic shape is formed.

[0020]

Next, a gate insulating film 19 is formed on the entire surface.

[0021]

Next, a protective film 20 which is made of polysilicon, amorphous silicon, or the like is directly formed on the entire surface (Fig. 3 (g)).

[0022]

Next, the protective film 20 and the gate insulating film 19 under the protective film 20 are removed at the bottom of the opening portion 18 using anisotropic etching (Fig. 3(h)). Next, after the protective film 18 is removed, a silicon film 21 which becomes the silicon column (active layer) of the transistor is buried in the opening portion 18 of the silicon film 21. At this time, the silicon film 21 which is thick is formed so as to cover the entire surface (Fig. 3 (i)).

[0023]

The silicon film 21 may be of undoped, n type, or p type. However, in the case of an n-type channel, the silicon film 21 of p type is generally employed.

[0024]

At last, an n-type diffusion layer 22 which becomes one of a source and a drain is formed on an upper surface of the silicon film 21 using ion injection method.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93083

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78  
27/115  
21/8247  
29/788  
29/792

H 0 1 L 29/78 6 5 3 B  
27/10 4 3 4  
29/78 3 7 1

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願平8-246712

(22) 出願日 平成8年(1996) 9月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

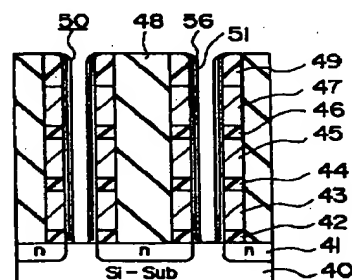
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

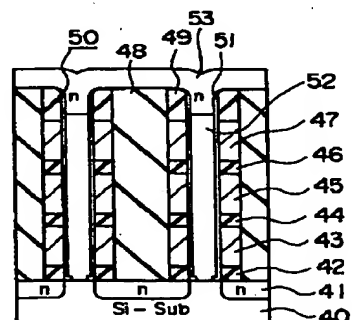
【課題】 基板表面に対して垂直方向に複数の縦型MOSトランジスタを直列接続してなる素子構造を容易に形成することができる製造方法を提供すること。

【解決手段】 n型ソース・ドレイン拡散層41が形成された基板40上にシリコン酸化膜42、ポリシリコン膜43、シリコン酸化膜44、ポリシリコン膜45、シリコン酸化膜46、ポリシリコン膜47を順次形成する。次に積層膜43~47を島状にパターニングする。次に積層膜43~47に開口部50を形成する。次に開口部50の側壁にゲート絶縁膜51を形成した後、ポリシリコン膜5(シリコン柱)21により開口部50を埋める。次にポリシリコン膜21の上部にn型ソース・ドレイン拡散層53を形成する。

(j)



(k)



## 【特許請求の範囲】

【請求項1】半導体基板上に、ゲート電極となる導電膜の上下を絶縁膜で挟んでなる構造を含む積層膜を少なくとも1つ以上形成する工程と、  
この積層膜を島状に加工する工程と、  
前記積層膜の下側の基板表面に第1の拡散領域を形成する工程と、  
前記積層膜の中央部を基板表面が露出するまでエッチング除去して開口部を形成する工程と、  
この開口部内の側壁にゲート絶縁膜を形成した後、前記開口部内に活性層としての半導体膜を埋め込む工程と、  
この半導体膜の上部に第2の拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、縦型MOSトランジスタを備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のメモリセルのスイッチング素子の一つとしてSGT (Surrounding Gate Transistor) が知られている。図12に従来のSGTの構成を示す。同図(a)はSGTの斜視図である。また、同図(b)は同図(a)のSGTを点A、A'を含み、基板表面に垂直な平面で切断した断面図である。

【0003】このSGTを製造工程に従って説明する。まず、シリコン基板120の表面にp型ウェル121を形成する。次にp型ウェル121に対して通常のトレンチの形成と同様にRIE等の異方性エッチングを行なうことによって、シリコン柱122を形成する。

【0004】次にゲート酸化膜123を全面に形成した後、ゲート電極124となるポリシリコン膜を全面に堆積し、このポリシリコン膜をRIE等によって異方性エッチングすることによりSi柱122の側面にゲート電極124を形成する。

【0005】最後に、イオン注入を用いて、基板表面およびシリコン柱上面にn型ソース、ドレインとなる拡散層125を形成する。このようなSGTを基板表面に垂直な方向に直列接続することにより、垂直NANDメモリセルが得られる。これを実現するにはシリコン柱122に互いに絶縁された複数のゲート電極124を形成する必要がある。

【0006】しかしながら、このような構造を実現するためには、ゲート電極124となるポリシリコン膜を全面に堆積した後、このポリシリコン膜の一部を除去して複数のシリコン膜に分離し、さらに除去された部分に絶縁膜を埋め込むという困難なプロセスが要求される。このため、従来の製造方法では、垂直NANDメモリセルを形成することは困難であるという問題があった。

【0007】

【発明が解決しようとする課題】上述の如く、従来の製

造方法では、基板表面に対して垂直方向に複数のSGTを直列接続してなる垂直NAND型メモリセルを形成することは困難であるという問題があった。

【0008】本発明は上記事情を考慮してなされたもので、その目的は、基板表面に対して垂直方向に複数の縦型MOSトランジスタを直列接続してなる素子構造を容易に形成することができる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上に、ゲート電極となる導電膜の上下を絶縁膜で挟んでなる構造を含む積層膜を少なくとも1つ以上形成する工程と、この積層膜を島状に加工する工程と、前記積層膜の下側の基板表面に第1の拡散領域を形成する工程と、前記積層膜の中央部を基板表面が露出するまでエッチング除去して開口部を形成する工程と、この開口部内の側壁にゲート絶縁膜を形成した後、前記開口部内に活性層としての半導体膜を埋め込む工程と、この半導体膜の上部に第2の拡散領域を形成する工程とを有することを特徴とする。

【0010】本発明の具体的な形態は以下の通りである。

(1) 積層膜に平面パターンが前記積層膜を分断しないパターンを有する開口部を形成すると、ゲート電極が導電膜の周囲を囲む構造の縦型MOSトランジスタ(SGT)を形成できる。

(2) 積層膜に平面パターンが前記積層膜を分断するパターンを有する開口部を形成すると、開口部内の相対向する側壁にそれぞれ縦型トランジスタを形成できる。言い換えれば、積層膜の相対向する2つの面にそれぞれ縦型MOSトランジスタを形成できる。

(3) ゲート絶縁膜として、シリコンリッチシリコン酸化膜、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層膜、シリコン窒化膜/シリコン酸化膜の積層膜等の電荷をトラップできる絶縁膜を用い、電荷の有無でしきい値電圧が異なることを利用することにより、NAND型EEPROMのメモリセルを形成できる。また、ゲート絶縁膜として、強誘電体膜を用いても良い。この場合、強誘電体膜の分極状態でしきい値電圧が異なることを利用する。

【0011】(作用) 従来の製造方法では、半導体柱を形成した後に、その周囲に互いに絶縁膜により互いに分離された複数のゲート電極を形成していた。

【0012】これに対して本発明では、まず、ゲート電極としての導電膜の上下を絶縁膜で挟んでなる構造を含む積層膜を形成する。したがって、上記構造を複数含む積層膜を形成した場合には、この段階で既に複数のゲート電極は互いに絶縁膜により分離されていることになる。次に本発明では、上記積層膜を基板表面に達する開

口部を形成し、しかる後、この開口部内を半導体柱（活性層）としての半導体膜で埋め込む。

【0013】このように本願発明によれば、半導体柱の側面に形成された複数のゲート電極となる導電膜の一部を除去して、この除去した部分を絶縁膜で埋め込むという困難なプロセスを用いずに済むので、基板表面に対して垂直方向に複数の縦型MOSトランジスタを直列接続してなる素子構造を容易に形成できるようになる。

【0014】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1～図3は、本発明の第1実施形態に係るnチャネル縦型トランジスタ（SGT）の製造方法を示す工程断面図である。

【0015】本実施形態の製造方法の特徴は、従来方法とは逆にゲート電極を形成した後に、シリコン柱（活性層）を形成することにある。まず、シリコン基板10上にシリコン酸化膜11、ゲート電極となるポリシリコン膜12、シリコン酸化膜13を順次形成する。シリコン酸化膜11、13は例えばSiO<sub>2</sub>膜である。この後、トランジスタのゲート領域、シリコン柱領域を規定するパターンを有するフォトレジストパターン14をシリコン酸化膜13上に形成する（図1（a））。ここでは、フォトレジストパターン14として平面パターンが矩形的のものを使用する。

【0016】次にフォトレジストパターン14をマスクに用いて、積層膜13～11をこの順に異方性エッチングし、フォトレジストパターン14のパターンを積層膜13～11に転写する。この後、イオン注入法を用いて、積層膜13～11の下側のシリコン基板10の表面にn型拡散層15を形成する（図1（b））。次に上面がシリコン酸化膜13より高く、積層膜11～13を覆う素子分離膜としてのシリコン窒化膜16を全面に形成する（図1（c））。シリコン窒化膜16は例えばSi<sub>3</sub>N<sub>4</sub>膜である。

【0017】次にCMP等の研磨またはエッチバックを用いて、シリコン酸化膜13の表面と同じ高さになるまで、シリコン窒化膜16の表面の後退させて、表面を平坦化する（図1（d））。

【0018】次に積層膜11～13の中央部を矩形状に露出するためにフォトレジストパターン17をシリコン窒化膜16およびシリコン酸化膜16上に形成する（図2（e））。このフォトレジストパターン17は、シリコン柱の領域（活性領域）を定義するものである。なお、後で述べる第2の実施形態のようにストライプ状のものであっても良い。

【0019】次にフォトレジストパターン17をマスクに用いて、基板表面が露出するまで積層膜11～13をエッチングする（図2（f））。この結果、長方体若しくは立方体状の開口部18が形成される。

【0020】次に全面にゲート絶縁膜19を形成する。このとき、開口部18が埋め込まれないようにゲート絶縁膜19は薄く形成する（同図（f））。具体的には6～50nm程度である。ゲート絶縁膜19の形成方法としては、例えば、全面にポリシリコン膜を堆積し、このポリシリコン膜を酸化する方法や、シリコン酸化物を堆積して形成する方法があげられる。

【0021】次に全面に直接ポリシリコンあるいはアモルファスシリコン等からなる保護膜20を形成する（図3（g））。このとき、開口部18が埋め込まれないように保護膜20は薄く形成する。この保護膜20は、後工程のエッチングの際に、開口部18内のゲート絶縁膜19を保護するためのものである。

【0022】次に異方性エッチング法を用いて、開口部18の底の保護膜20およびその下のゲート絶縁膜19を除去する（図3（h））。次に保護膜18を除去した後、トランジスタのシリコン柱（活性層）となるシリコン膜21を開口部18内に埋め込む。このとき、シリコン膜21は全面を覆うように厚く形成する（図3（i））。

【0023】ここで、保護膜18は除去したが、残しておいても良い。シリコン膜21は、例えば、堆積法により形成された多結晶膜あるいは非結晶シリコン膜、または選択エピタキシャル成長法によりシリコン基板10上に形成されたシリコン膜である。シリコン膜21はアンダーブ、n型およびp型のいずれのタイプでも良いが、n型チャネルの場合は通常はp型である。

【0024】最後に、イオン注入法を用いてシリコン膜21の上面に、ソース、ドレインの一方となるn型拡散層22を形成する（同図（i））。ここで、n型拡散層22とポリシリコン膜12との間の距離は6～50nm程度とする。本素子をメモリセルに用いるときは、n型拡散層22をパターンニングしてビット線を形成する。

【0025】なお、n型拡散層15とシリコン膜21、n型拡散層22とシリコン膜21はそれぞれ物理的には離れているが、ゲート絶縁膜の膜厚、n型拡散層22とシリコン膜21との間の距離はともに6～50nm程度の小さい値なので、しきい値電圧以上のゲート電圧を印加した場合には、n型拡散層15とn型拡散層22は電気的につながる。なお、n型拡散層22をゲート電極12と重なる程度の深さに形成しても良い。

【0026】また、このSGTを不揮発性メモリセルとして利用する場合には、ゲート絶縁膜19として、第2の実施形態で述べる性質を有する絶縁膜を使用する必要がある。

【0027】以上述べたように本実施形態によれば、ゲート電極となる導電膜12の上下を絶縁膜11、13で挟んだ積層膜を形成し、しかる後に、この積層膜の中央部を除去してシリコン膜12を埋め込むという新規な方法により、SGTを形成できるようになる。

(第2の実施形態) 図4は、本発明の第2実施形態に係る垂直NAND型EEPROMのメモリアレイを示す図である。図4(a)は平面図、4図(b)は同図(a)の矢視A-A'断面図である。ここでNAND型EEPROMとは、酸化膜を窒化膜の積層膜、あるいは浮遊ゲート等の電荷蓄積層を有するFET型MOSメモリセルを複数個直列に接続したものを1つのセルユニットとして、その一端がビット線に接続された構造のものである。本実施形態では、メモリセルとして、3個の縦型MOSトランジスタを基板表面に対して垂直に直列接続された構成のものを用いている。

【0028】図中、40はシリコン基板を示しており、このシリコン基板40の表面には、n型ソース・ドレイン拡散層41が複数本平行に配置形成されている。n型ソース・ドレイン拡散層41の両端部上にはそれぞれシリコン酸化膜42/ポリシリコン膜43/シリコン酸化膜44/ポリシリコン膜45/シリコン酸化膜46/ポリシリコン膜47の積層構造が形成されている。ポリシリコン膜43、45、47はそれぞれ各トランジスタのゲート電極となる。以下、このようにポリシリコン膜(ゲート電極)と絶縁膜が交互に積層された構造を積層ゲート構造という。

【0029】積層ゲート構造上には、スペーサとしてのシリコン窒化膜49が形成されている。隣接する2つの積層ゲート構造およびその上に形成されたシリコン窒化膜49で挟まれた領域のn型ソース・ドレイン拡散層41上には、これらの間を埋めるように、素子分離膜としてのシリコン窒化膜48が形成されている。

【0030】また、隣接する2つの積層ゲート構造およびその上に形成されたシリコン窒化膜49で挟まれた領域の開口部50の側壁には、ゲート絶縁膜50が形成されている。開口部50は、シリコン柱(活性層)としてのポリシリコン膜52、n型ソース・ドレイン拡散層53で埋め込まれている。n型ソース・ドレイン拡散層53はビット線と一体形成されている。ビット線はn型ソース・ドレイン拡散層41と直交するように形成されている。

【0031】なお、シリコン酸化膜42、44、46の膜厚、n型ソース・ドレイン拡散層53とシリコン膜52との間の距離は、ともに6~50nm程度の小さな値である。この程度の厚さであれば、ポリシリコン膜52にn型拡散層を形成しなくとも、n型ソース・ドレイン拡散層41、53間に電流が流れる。したがって、n型拡散層が無くとも、縦型MOSトランジスタが直列に接続された垂直NAND型メモリセルは実現される。

【0032】次にこのように構成されたメモリセルの製造方法について説明する。図5~図8は同半導体装置の製造方法を示す工程断面図、図9は同半導体装置の製造方法を示す工程平面図である。

【0033】まず、シリコン基板40上にシリコン酸化

膜42、ポリシリコン膜43、シリコン酸化膜44、ポリシリコン膜45、シリコン酸化膜46、ポリシリコン膜47、シリコン酸化膜54(積層ゲート構造)を順次形成する(図5(a))。

【0034】この段階で、ゲート電極としてのポリシリコン膜43、45、47は、シリコン酸化膜44、46によって互いに分離される。また、ポリシリコン膜43とシリコン基板40はポリシリコン膜42により分離される。

10 【0035】次にトランジスタのゲート領域、シリコン柱領域を規定するためのフォトレジストパターン55をシリコン酸化膜54上に形成する(図5(a)、図9(a))。ここでは、フォトレジストパターン55のパターンは、図5(a)に示すように、ストライプパターンである。

20 【0036】次にフォトレジスト55をマスクに用いて、基板表面が露出するまで積層ゲート構造42~47、54を異方性エッチングする。この結果、積層ゲート構造42~47、54はストライプ状の開口部により分断される。次に露出した基板表面にn型不純物をドーピングして、n型ソース・ドレイン拡散層41を形成する(図5(b))。この工程でエッチング除去されずに残ったポリシリコン膜43、45、47は、ゲート電極(ワード線)となる。

【0037】次に上面がシリコン酸化膜54よりも高く、積層ゲート構造42~47、54を覆う素子分離膜としてのシリコン窒化膜48を全面に形成する(図5(c))。

【0038】次にCMP等の研磨またはエッチバックを用いて、シリコン酸化膜54の表面と同じ高さになるまで、シリコン窒化膜54の表面の後退させて、表面を平坦化する(図5(d))。

【0039】次にシリコン酸化膜54を除去(図6(e))し、続いてスペーサ(エッチングマスク)となるシリコン窒化膜49を全面に形成する(図6(f))。次にトランジスタの活性領域を規定するためのフォトレジストパターン60をシリコン酸化膜54上に形成する(図9(b))。図9(a)、図9(b)からわかるように、フォトレジストパターン60のパターンは、フォトレジストパターン55に対して垂直に交わるストライプパターンである。

【0040】次にフォトレジストパターン60をマスクに用いて、ポリシリコン膜47が露出するまでシリコン窒化膜49を異方性エッチングする(図7(g)、図9(c))。この結果、シリコン窒化膜48の側壁にシリコン窒化膜49からなるスペーサが形成される。

【0041】次にシリコン窒化膜49(スペーサ)およびシリコン窒化膜48をマスクに用いて、基板表面が露出するまで積層ゲート構造42~47をエッチングする(図7(h))。この結果、ストライプ状の開口部50

が自己整合的に形成される。なお、この図7(h)の工程で、n型ソース・ドレイン拡散層41が露出しないように、図6(f)、図7(g)の工程で、シリコン窒化膜49の膜厚やエッチング条件を選んでいる。

【0042】また、第1の実施形態と同様のパターン、つまり、積層ゲート構造の中央部が矩形状に露出するパターンを有するフォトリソパターンを用いて開口部を形成しても良い。この場合、基板表面に対して垂直方向に直列接続された3つのSGTが得られる。

【0043】次に全面に薄いゲート絶縁膜51を形成する。ゲート絶縁膜19は、例えば、シリコン酸化物を堆積して形成する。また、開口部50内のポリシリコン膜43、45、47の表面を酸化して形成しても良い。この場合、ゲート絶縁膜51は全面には形成されず、開口部50内のポリシリコン膜43、45、47の表面のみに形成される。

【0044】ここで、スタティックに情報を記憶できるためには、ゲート絶縁膜51は電荷を蓄積する能力を持たなければならない。蓄積される電荷の量によってトランジスタのしきい値を変化させ、トランジスタのしきい値電圧の変化によって、2値のデータを区別する。

【0045】電荷を蓄積する能力を有するゲート絶縁膜としては、例えば、シリコンリッチシリコン酸化膜、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層膜、またはシリコン窒化膜/シリコン酸化膜の積層膜構造があげられる。

【0046】ゲート絶縁膜51がシリコン酸化膜/シリコン窒化膜/シリコン酸化膜や、シリコン窒化/シリコン酸化膜の積層膜構造の場合、シリコン窒化とシリコン酸化膜との界面に電子がトラップされてしきい値電圧が変化するので、EEPROM動作が可能になる。

【0047】また、ゲート絶縁膜51として強誘電体膜を用いても良い。この場合、電荷を蓄積するのではなく、ゲート電極に電圧を印加し、強誘電体膜を分極させてトランジスタのしきい値電圧を変化させる。ゲート電圧にプラス電圧を印加すると、チャネル側がプラスに分極する。この分極状態はゲート電圧の印加を解除した後も保たれる。したがって、この状態ではチャネルの電子密度が高くなるので、しきい値電圧は低下する。逆に、ゲート電極にマイナス電圧を印加すると、チャネル側がマイナスに分極し、チャネルの電子密度が低くなるので、しきい値電圧は高くなる。

【0048】次に全面にポリシリコンまたはアモルファスシリコンからなる保護膜56を全面に形成する(同図(i))。この保護膜56は、後工程のエッチングの際、開口部50内のゲート絶縁膜51がエッチングされないように保護するためのものである。

【0049】次に異方性エッチング法を用いて、開口部50の側壁以外の保護膜56およびゲート絶縁膜51を除去する(図7(j))。次に開口部50をシリコン膜

52により埋め込む(図8(k))。このシリコン膜52の上部はn型ソース・ドレイン拡散層53およびビット線となり、その下の部分はシリコン柱(活性層)として用いられる。

【0050】次にイオン注入を用いてシリコン膜52の表面にn型不純物をドーピングして、n型ソース・ドレイン拡散層53を形成する(同図(k))。n型ソース・ドレイン拡散層53とポリシリコン膜(ゲート電極)47との間の距離は、上述したように6~50nm程度とする。なお、n型ソース・ドレイン拡散層53をゲート電極47と重なる程度の深さに形成しても良い。

【0051】最後に、n型不純物がドーピングされたポリシリコン膜53をパターンニングして、ゲート電極(ワード線)の走る方向に直交するビット線BLを形成する(図9(d))。図11にこの段階の斜視図を示す。なお、絶縁膜は省略してある。

【0052】以上述べたように、本実施形態によれば、積層ゲート構造を形成し、これをパターンニングすることにより互いに絶縁膜により分離されたゲート電極43、45、47を形成した後、開口部50内にシリコン膜(シリコン柱)52を形成することにより、基板表面に対して垂直方向に3個の縦型MOSTランジスタを直列接続してなるメモリセルを容易に形成できるようになる。

【0053】さらに、本実施形態の場合、ゲート電極43、45、47はシリコン膜(シリコン柱)52の周囲全体を囲まない。ゲート電極43、45、47はシリコン膜52の相対向する2面に形成される。この結果、1本のポリシリコン膜(活性層)52に電気的に分離された2個のNAND型メモリセルが形成される。したがって、本実施形態によれば、高集積化に有利なメモリセルを実現できるようになる。

【0054】図10に、比較例として、従来のNAND型EEPROMのメモリセルの断面図を示す。コントロール・ゲートCGiおよび浮遊ゲートFGi(i=1~4)の2重ゲート構造からなる4つのメモリトランジスタが基板表面に対して水平な方向に直列に接続されている。

【0055】これら4つのメモリトランジスタは、ゲート電極SGj、SGj'(j=1,2)からなる2つの選択トランジスタに挟まれている。また、n型シリコン基板100の表面に形成されたp型ウェル層101の表面には上記トランジスタのn型ソース・ドレイン拡散層SDk(k=1~7)が形成されている。なお、102は絶縁膜、103はビット線を示している。

【0056】メモリトランジスタおよび選択トランジスタのゲート長がL(デザインルール)、隣接するトランジスタ間の間隔がLであるとする、メモリセル長さは12Lである。なお、ここでは、n型ソース・ドレイン拡散層SD1のうちビット線コンタクト領域は考慮にい



れていない。

【0057】また、メモリセルの活性領域の幅が $L$ で、2つのNANDセル間の素子分離領域の幅も $L$ であるとすると、メモリセルの幅は $2L$ である。したがって、1メモリセルの占有する面積（セル面積）は $12L \times 2L = 24L^2$ となる。

【0058】これに対して、本実施形態に従ったNAND型EEPROMによれば、そのセル面積を以下の通りに行うことができる。ワード線の幅およびワード線間の分離領域の幅を $L$ とし、ビット線の幅およびビット線の間隔も $L$ とする。このように設計することにより、セル面積を $2L \times 2L = 4L^2$ にすることができる。すなわち、比較例のセル面積の $1/6$ で済み、高集積化に非常に有利である。また、本実施形態では、メモリトランジスタとして縦型MOSトランジスタを用いているので、上記セル面積値は、メモリトランジスタの数に関係なく一定である。

【0059】比較例のような4ビット垂直NAND型メモリセルを実現するには、積層ゲート構造として、（絶縁膜/ポリシリコン膜） $\times 6$ の積層膜を形成し、最上層および最下層のポリシリコン膜を選択トランジスタのゲート電極、他の4層のポリシリコン膜を4つのメモリトランジスタのゲート電極として使用すれば良い。

【0060】なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では $n$ 型チャネルトランジスタの場合について説明したが、ソース・ドレイン拡散層等の導電型を逆にすることにより、 $p$ 型チャネルトランジスタにも適用できる。

【0061】また、上記実施形態ではEEPROMの場合について説明したが、ゲート絶縁膜として電荷蓄積能力がない通常の絶縁膜を用いることにより、DRAMにも適用することも可能となる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0062】

【発明の効果】以上詳説したように本発明によれば、絶縁膜とゲート電極としての導電膜を交互に積層し、この積層膜に開口部を形成し、この開口部内に半導体柱を形成することにより、基板表面に対して垂直方向に複数の縦型MOSトランジスタを直列接続してなる素子構造を容易に実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る縦型MOSトランジスタの製造方法を示す工程断面図

【図2】本発明の第1の実施形態に係る縦型MOSトラ

ンジスタの製造方法を示す工程断面図

【図3】本発明の第1の実施形態に係る縦型MOSトランジスタの製造方法を示す工程断面図

【図4】本発明の第2の実施形態に係る縦型MOSトランジスタを用いたNANDセルの構成を示す図

【図5】本発明の第2実施形態に係る垂直NAND型EEPROMのメモリアレイを示す図

【図6】図4のメモリセルアレイの製造方法を示す工程断面図

10 【図7】図4のメモリセルアレイの製造方法を示す工程断面図

【図8】図4のメモリセルアレイの製造方法を示す工程断面図

【図9】図4のメモリセルアレイの製造方法を示す工程平面図

【図10】従来のNAND型EEPROMのメモリセルアレイを示す断面図

【図11】第2の実施形態のメモリセルアレイの斜視図

【図12】従来のSGTの構成を示す図

【符号の説明】

10…シリコン基板

11, 13…シリコン酸化膜

12…ポリシリコン膜

14…フォトリソパターン

15… $n$ 型拡散層（第1の拡散領域）

16…シリコン窒化膜

17…フォトリソパターン

18…開口部

19…ゲート絶縁膜

30 20…保護膜

21… $p$ 型ポリシリコン膜

22… $n$ 型拡散層（第2の拡散領域）

40…シリコン基板

41… $n$ 型ソース・ドレイン拡散層（第1の拡散領域）

42, 44, 46, 54…シリコン酸化膜

43, 45, 47…ポリシリコン膜

48…シリコン窒化膜（分離膜）

49…シリコン窒化膜（スペーサ）

50…開口部

51…ゲート絶縁膜

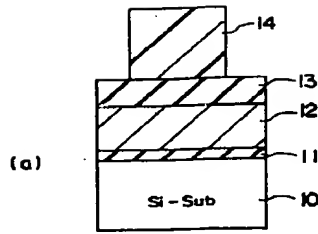
52… $p$ 型ポリシリコン膜

53… $n$ 型ソース・ドレイン拡散層（第2の拡散領域）

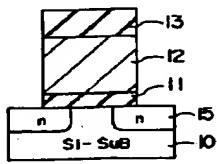
55…フォトリソパターン

56…保護膜

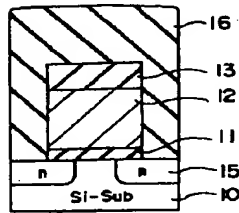
【図1】



(a)

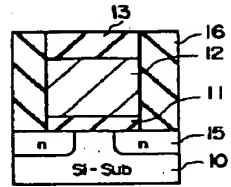


(b)

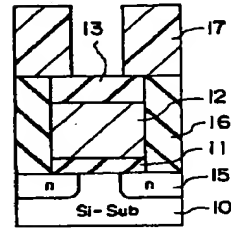


(c)

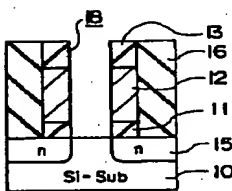
【図2】



(d)

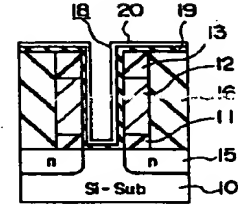


(e)

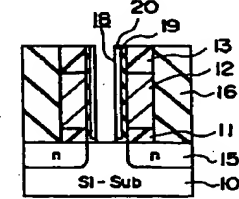


(f)

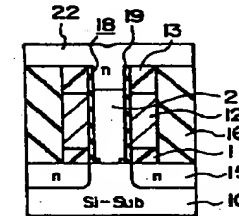
【図3】



(g)

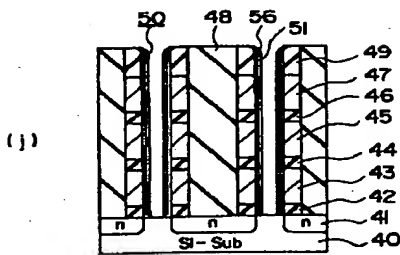


(h)

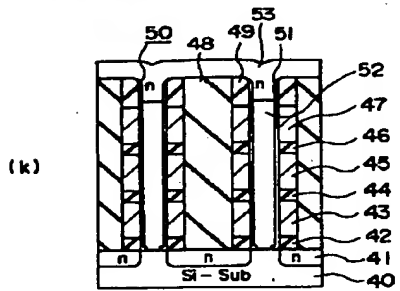


(i)

【図8】

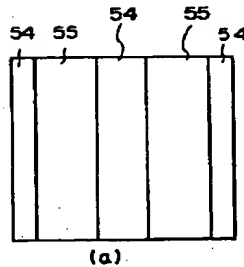


(j)

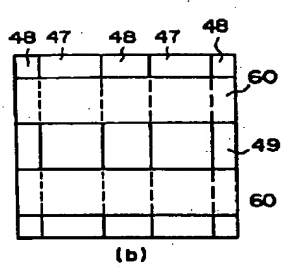


(k)

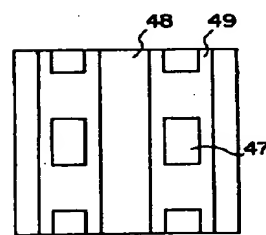
【図9】



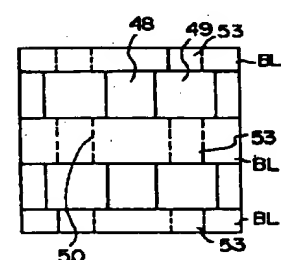
(a)



(b)

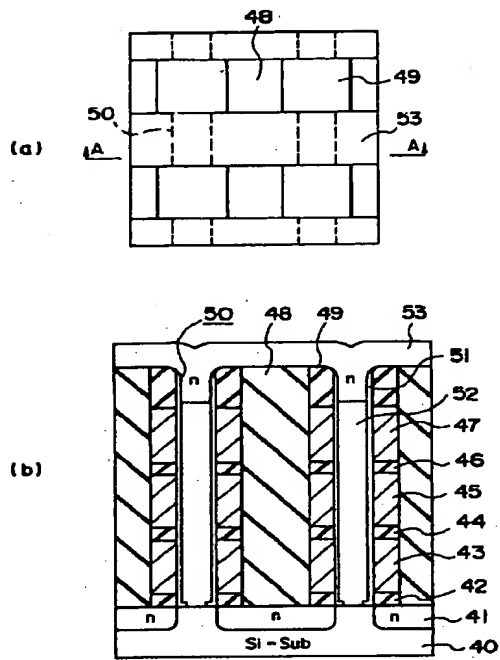


(c)

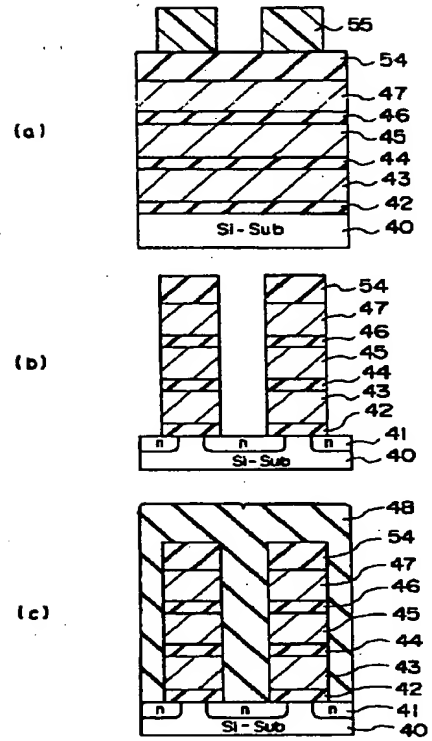


(d)

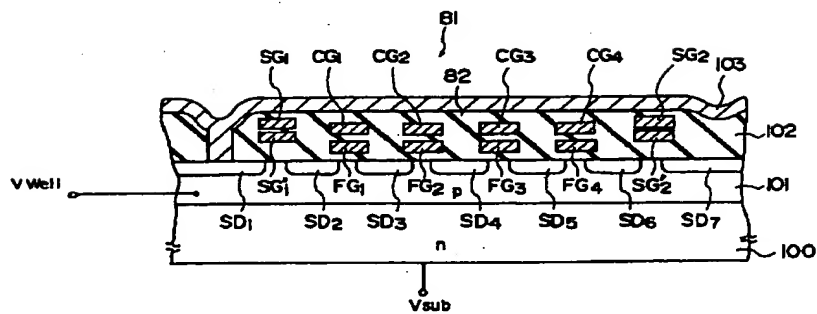
【図4】



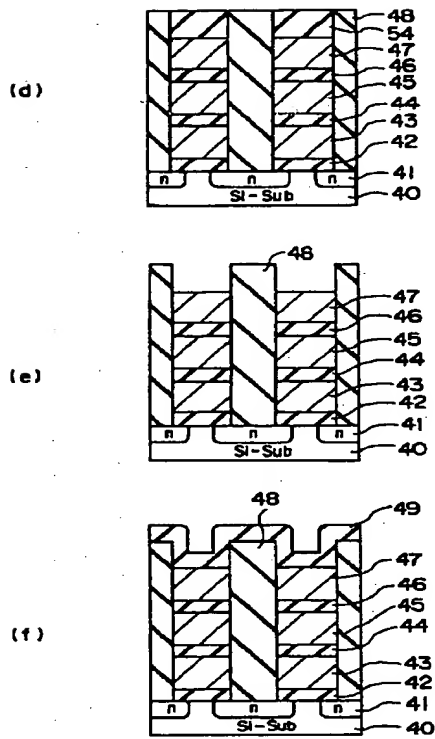
【図5】



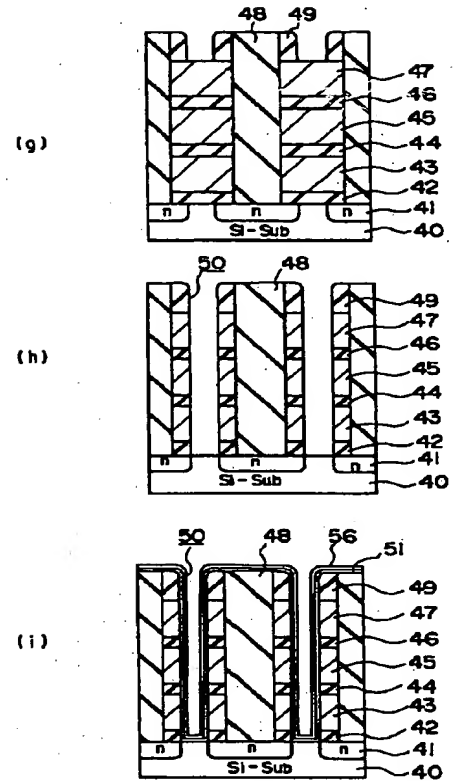
【図10】



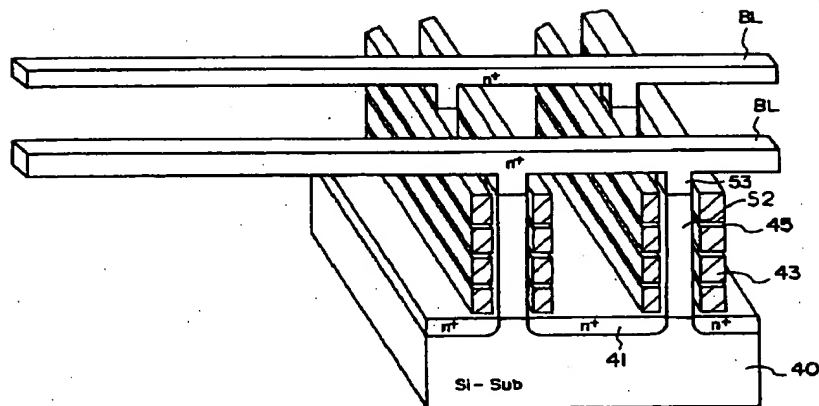
【図6】



【図7】



【図11】



【図12】

